



Single-input 4-bit flash ADC with performance enhancement in 0.18 μm CMOS

Yeon-ho Seo and Seong-Ik Cho
Chonbuk National University

INTRODUCTION

아날로그-디지털 변환기 (ADC)는 통신 시스템에서 디지털 처리를 위해 아날로그 신호를 디지털 처리하는 데 사용된다. 그중 Flash ADC는 레이더, 광대역 라디오 수신기, 광 통신등 매우 높은 샘플링 속도가 요구되는 분야에서 사용되고 있다. 단일 입력 고속 플래시 ADC 설계를 위해 킥백 노이즈의 감소와 고속 동작이 가능한 비교기가 요구된다. 첫번째로 킥백 노이즈는 비교기의 입력을 교란시켜 비교기의 잘못된 출력을 발생시킨다. 두 번째로 비교기가 NMOS 입력단을 가진 경우 입력 CM 레벨이 낮을 때 지연시간이 길어지며, 지연시간이 길면 클록의 펄스 width 안에 원하는 비교를 하지 못하고 잘못된 값을 출력하게 된다. 본 논문에서는 킥백 노이즈를 줄이고 동작속도를 향상시킨 Flash ADC를 제안한다.

CHIP BLOCK DIAGRAM AND MEASUREMENT RESULT

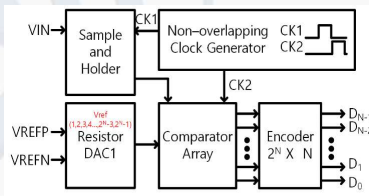


Fig 1. Conventional Flash ADC

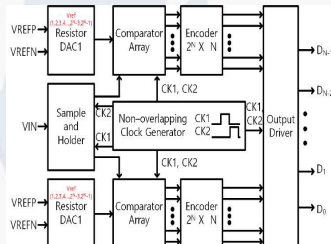


Fig 2. Proposed Flash ADC

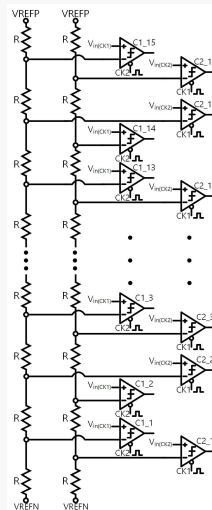


Fig 3. DAC resistor and comparator array in proposed Flash ADC

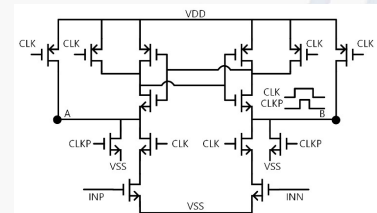


Fig 4. Proposed Comparator

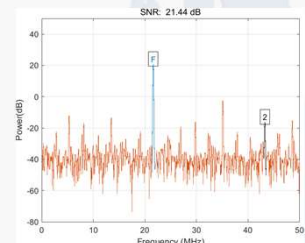


Fig 5. Proposed Flash ADC SNR result

CONCLUSION

Fig 2는 제안하는 킥백 노이즈를 감소시킨 Flash ADC의 블록도이다. 차동 입력 Flash ADC는 킥백 노이즈가 비슷하게 발생하여 감소시킬 수 있지만 단일 입력 Flash ADC의 경우에는 그렇지 못하다. 결국, 비교기의 두 입력에서 발생하는 킥백 노이즈로 인해 비교기는 잘못된 값을 출력하게 되어 ADC 성능을 감소시킨다. 이에 대한 방안으로 Fig 3과 같이 두개의 flash adc를 교차하여 동작시킴으로써 차동 입력 Flash ADC처럼 동작하게 된다. 제안된 4-bit 플래시 ADC는 Fig 3과 같이 구성되며 CK1과 CK2에 맞춰 두번의 동작한다. 제안된 회로는 4-bit flash ADC를 두개 사용하였으며 샘플링 주파수는 기존 샘플링 주파수의 두 배가 되고 킥백 노이즈는 기존 회로의 반절이 된다.

Fig4는 비교기의 속도를 높이기 위해 NMOS 두 개를 추가하여 노드 A, B가 Regeneration phase에서 낮은 전압으로 빠르게 내려갈 수 있게 한다. CLKP는 추가한 두 NMOS의 게이트에 연결된다. 제안된 비교기는 지연시간이 감소하여 고속 동작이 가능하며 플래시 ADC의 입력 범위를 증가시킨다.

테스트 결과 Conventional Flash ADC는 SNR 20.43 dB, SINAD 20.35 dB, SFDR 22.18 dB, ENOB 3.09 bit 이며, 제안된 Flash ADC는 SNR 21.44 dB, SINAD 21.31 dB, SFDR 23.46 dB, ENOB 3.25 bit이다. 최종적으로 ENOB 0.16bit 향상됨을 확인하였으며, 기존 회로보다 성능은 향상되었으나 샘플링 주파수가 두배 차이가 나게 되어 결과적으로 실제 성능 향상은 미미하게 나타났다.

Acknowledgments - This work was supported by the IDEC.

Reference - [1]. Megha R, Pradeepkumar K A, "Implementation of Low Power Flash ADC By Reducing Comparators", International Conference on Communication and Signal Processing, April 3-5, 2014, India.

[2]. Suman Biswas Jitendra Kumar Das Rajendra Prasad "design and implementation of 4 bit flash ADC using low power low offset dynamic comparator" 978-1-4799-7678 2/15/31.00 ©2015 IEEE.